



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06274415 A**(43) Date of publication of application: **30.09.94**

(51) Int. Cl.

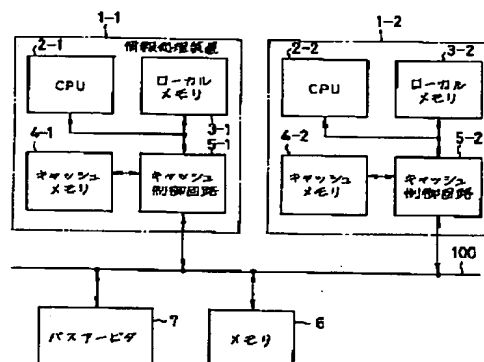
G06F 12/08**G06F 15/16**(21) Application number: **05082604**(71) Applicant: **NEC CORP**(22) Date of filing: **17.03.93**(72) Inventor: **MATSUTANI MITSUHIRO**(54) **SHARED MEMORY SYSTEM**

(57) Abstract:

PURPOSE: To execute an access to a shared memory at a high speed by holding the consistency of a shared memory cache without monitoring a state of a bus.

CONSTITUTION: In the case of an access request from CPUs 2-1, 2-2 to a shared memory 6 is a read-out request, data read out of the shared memory 6 and a 'read-out state' are held in cache memories 4-1, 4-2. In the case the access request from the CPUs 2-1, 2-2 to the shared memory 6 is a write request, data written in the shared memory 6 and a 'write state' are held in the cache memories 4-1, 4-2. When the write is executed from other device to the shared memory 6, a state change request is inputted to information processors 1-1, 1-2 from other device, and by control of cache control circuits 5-1, 5-2 for answering this state change request, an 'invalid state' is held in the cache memories 4-1, 4-2.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-274415

(43)公開日 平成 6年(1994) 9月30日

(51)Int.Cl.⁵

G 0 6 F 12/08
15/16

識別記号

3 1 0 B 7608-5B
3 2 0 M 7429-5L

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 2 F D (全 7 頁)

(21)出願番号 特願平5-82604

(22)出願日 平成 5年(1993) 3月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 松谷 光浩

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

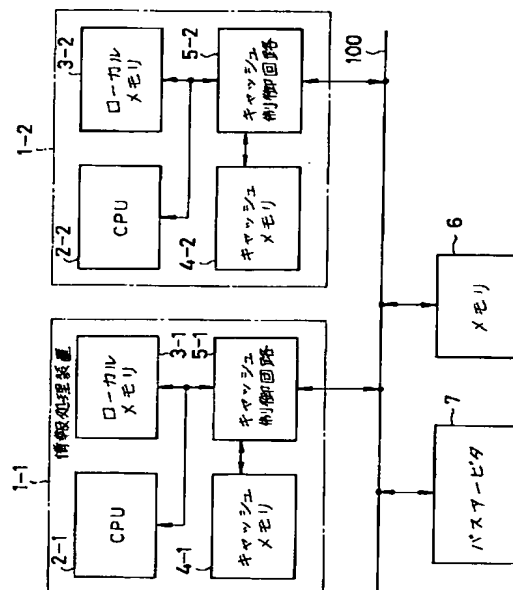
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 共有メモリシステム

(57)【要約】

【目的】 バスの状態を監視することなく共有メモリ用キャッシュの整合性を保ち、共有メモリに対するアクセスを高速にする。

【構成】 CPU 2-1, 2-2から共有メモリ 6へのアクセス要求が読出し要求の場合、キャッシュメモリ 4-1, 4-2には共有メモリ 6から読出されたデータと「読出し状態」とが保持される。CPU 2-1, 2-2から共有メモリ 6へのアクセス要求が書込み要求の場合、キャッシュメモリ 4-1, 4-2には共有メモリ 6に書込まれるデータと「書込み状態」とが保持される。他装置から共有メモリ 6への書込みが行われた場合、情報処理装置 1-1, 1-2には他装置から状態変更要求が入力され、この状態変更要求に応答したキャッシュ制御回路 5-1, 5-2の制御によってキャッシュメモリ 4-1, 4-2に「無効状態」が保持される。



【特許請求の範囲】

【請求項1】 複数の情報処理装置各々が共通にアクセス可能な共有メモリに接続された共有メモリシステムであって、前記共有メモリの内容の一部と該内容の保持状態を示す状態情報とを保持するキャッシュメモリと、前記内容の変更時に該内容に対応する前記状態情報に応じて他装置に該内容の無効化を要求する手段と、前記他装置からの無効化要求に応答して要求対象の前記キャッシュメモリの内容を無効化する手段とを前記複数の情報処理装置各々に含むことを特徴とする共有メモリシステム。

【請求項2】 前記状態情報は、前記共有メモリに対するデータの読み込み時に保持されたことを示す情報と、前記共有メモリに対するデータの書き込み時に保持されたことを示す情報と、無効であることを示す情報とのうちいずれか一つであることを特徴とする請求項1記載の共有メモリシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は共有メモリシステムに関し、特に複数の情報処理装置が共通にアクセス可能な共有メモリに接続された共有メモリシステムのメモリアクセス方法に関する。

【0002】

【従来の技術】 従来、共有メモリシステムにおいては、図5に示すように、複数の情報処理装置8-1、8-2がバス100を介してメモリ6に夫々接続されている。これら情報処理装置8-1、8-2各々はメモリ6に対して共通にアクセス可能となっている。

【0003】 上記構成において、情報処理装置8-1、8-2各々はCPU2-1、2-2と、装置内のローカルメモリ3-1、3-2と、CPU2-1、2-2のアクセス状態によってバス100の制御を行うバスコントローラ9-1、9-2とを備えている。

【0004】 バスコントローラ9-1、9-2はCPU2-1、2-2からのアクセスがローカルメモリ3-1、3-2に対するものであれば、CPU2-1、2-2とローカルメモリ3-1、3-2とを接続する。これにより、CPU2-1、2-2からローカルメモリ3-1、3-2へのアクセスが可能となる。

【0005】 また、バスコントローラ9-1、9-2はCPU2-1、2-2からのアクセスがメモリ6に対するものであれば、CPU2-1、2-2とバス100とを接続する。これにより、CPU2-1、2-2からメモリ6へのアクセスが可能となる。

【0006】 バスアービタ7はいくつかの情報処理装置8-1、8-2からのバス要求があった場合、どの情報処理装置の要求を許可するかを決定し、許可しなかった情報処理装置に対してバス要求を待たせる信号を発生する。

【0007】

【発明が解決しようとする課題】 上述した従来の共有メモリシステムでは、共有メモリに対して共通にアクセス可能な情報処理装置が共有メモリにアクセスしている間、他の情報処理装置が共有メモリにアクセスしようとしても共有メモリへのアクセスが待たされることになり、共有メモリに対して高速にアクセスすることができない。

【0008】 上記問題を解決するために、特開平3-11454号公報に開示された技術のように、複数の情報処理装置各々に共有メモリ用のキャッシュメモリと、ローカルメモリ用のキャッシュメモリとを設けて共有メモリに対するアクセスを高速にする方法も提案されている。

【0009】 しかしながら、上記の方法では複数の情報処理装置各々に設けられた共有メモリ用のキャッシュメモリの内容を常に一致させなければならないため、キャッシュメモリを制御するキャッシュ制御回路によってバスの状態を監視しなければならない。

【0010】 そこで、本発明の目的は上記問題点を解消し、バスの状態を監視することなく共有メモリ用キャッシュの整合性を保つことができ、共有メモリに対するアクセスを高速にすることができる共有メモリシステムを提供することにある。

【0011】

【課題を解決するための手段】 本発明による共有メモリシステムは、複数の情報処理装置各々が共通にアクセス可能な共有メモリに接続された共有メモリシステムであって、前記共有メモリの内容の一部と該内容の保持状態を示す状態情報とを保持するキャッシュメモリと、前記内容の変更時に該内容に対応する前記状態情報に応じて他装置に該内容の無効化を要求する手段と、前記他装置からの無効化要求に応答して要求対象の前記キャッシュメモリの内容を無効化する手段とを前記複数の情報処理装置各々に備えている。

【0012】

【実施例】 次に、本発明の一実施例について図面を参照して説明する。

【0013】 図1は本発明の一実施例のシステム構成を示すブロック図である。図において、複数の情報処理装置1-1、1-2はバス100を介して共通にアクセス可能な共有メモリ6とバスアービタ7とに接続されている。

【0014】 情報処理装置1-1、1-2各々はCPU2-1、2-2と、装置内のローカルメモリ3-1、3-2と、共有メモリ用のキャッシュメモリ4-1、4-2と、キャッシュメモリ4-1、4-2を制御するキャッシュ制御回路5-1、5-2とを備えている。

【0015】 キャッシュメモリ4-1、4-2には共有メモリ6の内容の一部と、該内容の一部がCPU2-

1, 2-2から共有メモリ6へのどのようなアクセスのときに保持されたかを示す状態情報とが保持されている。

【0016】すなわち、CPU2-1, 2-2から共有メモリ6へのアクセス要求が読出し要求の場合、共有メモリ6から読出されたデータと「読出し状態」とがキャッシュメモリ4-1, 4-2に保持される。

【0017】また、CPU2-1, 2-2から共有メモリ6へのアクセス要求が書込み要求の場合、共有メモリ6に書込まれるデータと「書込み状態」とがキャッシュメモリ4-1, 4-2に保持される。

【0018】さらに、他装置から共有メモリ6への書込みが行われた場合、情報処理装置1-1, 1-2には他装置から状態変更要求が入力されるが、この状態変更要求に応答したキャッシュ制御回路5-1, 5-2の制御によってキャッシュメモリ4-1, 4-2に「無効状態」が保持される。

【0019】図2は図1のCPU2-1, 2-2のアクセス状態とキャッシュメモリ4-1, 4-2の状態情報との関係を示す図である。図においてはCPU2-1, 2-2からのアクセスがキャッシュヒットとなった場合の関係を示している。

【0020】まず、CPU2-1, 2-2からのアクセスが読出し要求の場合、キャッシュメモリ4-1, 4-2の状態情報が「読出し状態」であれば「読出し状態」が、状態情報が「書込み状態」であれば「書込み状態」がそのまま保持される。

【0021】また、キャッシュメモリ4-1, 4-2の状態情報が「無効状態」であれば、キャッシュメモリ4-1, 4-2に共有メモリ6から読出されたデータが書込まれるので、キャッシュメモリ4-1, 4-2の状態情報として「読出し状態」が保持される。

【0022】一方、CPU2-1, 2-2からのアクセスが書込み要求の場合、キャッシュメモリ4-1, 4-2の状態情報が「書込み状態」であれば「書込み状態」がそのまま保持される。

【0023】また、キャッシュメモリ4-1, 4-2の状態情報が「読出し状態」や「無効状態」であれば、キャッシュメモリ4-1, 4-2にCPU2-1, 2-2からの書込みデータが書込まれるので、キャッシュメモリ4-1, 4-2の状態情報として「書込み状態」が保持される。

【0024】この場合、共有メモリ6の内容もCPU2-1, 2-2からの書込みデータで書換えられるので、キャッシュ制御回路5-1, 5-2から他装置に状態変更要求が出力される。他装置では状態変更要求の入力に応答して自装置のキャッシュメモリに状態情報として「無効状態」を書込む。

【0025】図3及び図4は図1のキャッシュ制御回路5-1, 5-2によるキャッシュメモリ4-1, 4-2

の制御を示すフローチャートである。これら図1～図4を用いて本発明の一実施例の動作について説明する。

【0026】キャッシュ制御回路5-1, 5-2はCPU2-1, 2-2から共有メモリ6に対するアクセス要求が出力されると、該アクセス要求が読出し要求か否かを判定する(図3ステップ11)。

【0027】キャッシュ制御回路5-1, 5-2はCPU2-1, 2-2から共有メモリ6へのアクセス要求が読出し要求であると判定すると、キャッシュメモリ4-1, 4-2にそのアクセス要求のアドレスが存在するか否かを判定する(図3ステップ12)。

【0028】キャッシュ制御回路5-1, 5-2はCPU2-1, 2-2からのアクセス要求のアドレスが存在すると判定すると、そのアドレスに対応するキャッシュメモリ4-1, 4-2の状態情報が「無効状態」か否かを判定する(図3ステップ13)。

【0029】キャッシュ制御回路5-1, 5-2はそのアドレスに対応するキャッシュメモリ4-1, 4-2の状態情報が「無効状態」ではないと判定すると、キャッシュメモリ4-1, 4-2からデータを読出してCPU2-1, 2-2に出力する。

【0030】この場合、キャッシュ制御回路5-1, 5-2はキャッシュメモリ4-1, 4-2の状態情報が「読出し状態」であれば「読出し状態」を、状態情報が「書込み状態」であれば「書込み状態」をそのまま保持させる(図3ステップ14)。

【0031】一方、キャッシュ制御回路5-1, 5-2はCPU2-1, 2-2からのアクセス要求のアドレスが存在しないと判定すると、あるいはそのアドレスの状態情報を「無効状態」と判定すると、共有メモリ6からデータを読出してCPU2-1, 2-2に出力する。

【0032】同時に、キャッシュ制御回路5-1, 5-2は共有メモリ6からのデータをキャッシュメモリ4-1, 4-2に書込むとともに、そのアドレスの状態情報を「読出し状態」とする(図3ステップ15)。

【0033】キャッシュ制御回路5-1, 5-2はCPU2-1, 2-2から共有メモリ6へのアクセス要求が書込み要求であると判定すると、キャッシュメモリ4-1, 4-2にそのアクセス要求のアドレスが存在するか否かを判定する(図4ステップ16)。

【0034】キャッシュ制御回路5-1, 5-2はCPU2-1, 2-2からのアクセス要求のアドレスが存在すると判定すると、そのアドレスに対応するキャッシュメモリ4-1, 4-2の状態情報が「書込み状態」か否かを判定する(図4ステップ17)。

【0035】キャッシュ制御回路5-1, 5-2はそのアドレスに対応するキャッシュメモリ4-1, 4-2の状態情報を「書込み状態」と判定すると、CPU2-1, 2-2からのデータをキャッシュメモリ4-1, 4-2に書込む。同時に、キャッシュ制御回路5-1, 5

ー2は該データを共有メモリ6にも書込む。

【0036】この場合、キャッシュ制御回路5-1、5-2はキャッシュメモリ4-1、4-2の状態情報が「書込み状態」であるので、「書込み状態」をそのまま保持させる(図4ステップ18)。

【0037】尚、キャッシュメモリ4-1、4-2の状態情報が「書込み状態」の場合、そのアドレスに対応するデータはキャッシュメモリ4-1、4-2及び共有メモリ6の該当アドレス各々に存在するだけである。したがって、キャッシュ制御回路5-1、5-2から他装置に状態変更要求が出力されることはない。

【0038】一方、キャッシュ制御回路5-1、5-2はCPU2-1、2-2からのアクセス要求のアドレスが存在しないと判定すると、あるいはそのアドレスの状態情報が「書込み状態」ではないと判定すると、CPU2-1、2-1からのデータをキャッシュメモリ4-1、4-2に書込む。同時に、キャッシュ制御回路5-1、5-2は該データを共有メモリ6にも書込む。

【0039】この場合、キャッシュメモリ4-1、4-2の状態情報は「読出し状態」または「無効状態」となっているが、キャッシュ制御回路5-1、5-2はこのキャッシュメモリ4-1、4-2の状態情報を「書込み状態」とする(図4ステップ19)。

【0040】また、キャッシュメモリ4-1、4-2の状態情報が「読出し状態」または「無効状態」の場合、そのアドレスに対応するデータはキャッシュメモリ4-1、4-2及び共有メモリ6以外他装置にも存在する。よって、キャッシュ制御回路5-1、5-2は他装置へ状態変更要求を出力し、他装置の該当アドレスの状態情報を「無効状態」とする(図4ステップ20)。

【0041】キャッシュ制御回路5-1、5-2は上述のように動作してキャッシュメモリ4-1、4-2を制御するが、他装置から状態変更要求が入力された場合には、該当アドレスが存在すればキャッシュメモリ4-1、4-2の状態情報を「無効状態」とする。また、キャッシュ制御回路5-1、5-2は他装置から状態変更要求が入力された場合に、該当アドレスが存在しなければ、なにも動作しない。

【0042】このように、キャッシュメモリ4-1、4-2に共有メモリ6の内容の一部と該内容が保持されたときのCPU2-1、2-2のアクセス状態を示す状態情報を保持し、キャッシュメモリ4-1、4-2にCPU2-1、2-2からのデータが書込まれるときに該データが書込まれるアドレスの状態情報が「読出し状

態」あるいは「無効状態」であれば、キャッシュ制御回路5-1、5-2から他装置に状態変更要求を出力して他装置のキャッシュメモリの内容を無効化することによって、バス100の状態を監視することなく共有メモリ6用のキャッシュメモリ4-1、4-2の整合性を保つことができる。

【0043】また、CPU2-1、2-2がアクセスするアドレスがキャッシュメモリ4-1、4-2に存在すれば、キャッシュメモリ4-1、4-2からデータを読み出したり、あるいはキャッシュメモリ4-1、4-2にデータを書込めるので、CPU2-1、2-2から共有メモリ6に対するアクセスを高速にすることができる。これにより、各情報処理装置1-1、1-2が並列動作するときの処理速度の向上を図ることができる。

【0044】

【発明の効果】以上説明したように本発明によれば、複数の情報処理装置各々が共通にアクセス可能な共有メモリの内容の一部と該内容の保持状態を示す状態情報とをキャッシュメモリに保持し、共有メモリの内容の変更時に該内容に対応する状態情報に応じて他装置に該内容の無効化を要求するとともに、他装置からの無効化要求に応答して要求対象のキャッシュメモリの内容を無効化することによって、バスの状態を監視することなく共有メモリ用キャッシュの整合性を保つことができ、共有メモリに対するアクセスを高速にすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のシステム構成を示すブロック図である。

【図2】図1のCPUのアクセス状態とキャッシュメモリの状態情報との関係を示す図である。

【図3】図1のキャッシュ制御回路によるキャッシュメモリの制御を示すフローチャートである。

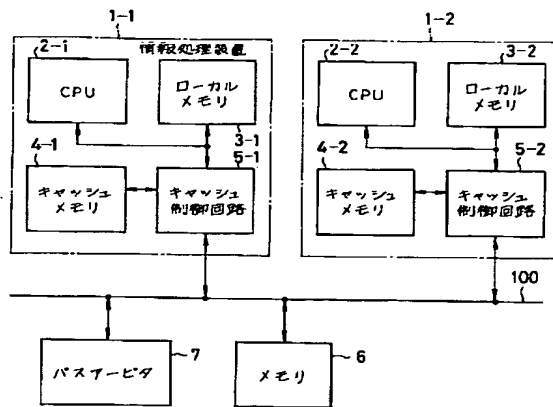
【図4】図1のキャッシュ制御回路によるキャッシュメモリの制御を示すフローチャートである。

【図5】従来例のシステム構成を示すブロック図である。

【符号の説明】

1-1、1-2 情報処理装置
2-1、2-2 CPU
4-1、4-2 キャッシュメモリ
5-1、5-2 キャッシュ制御回路
6 共有メモリ

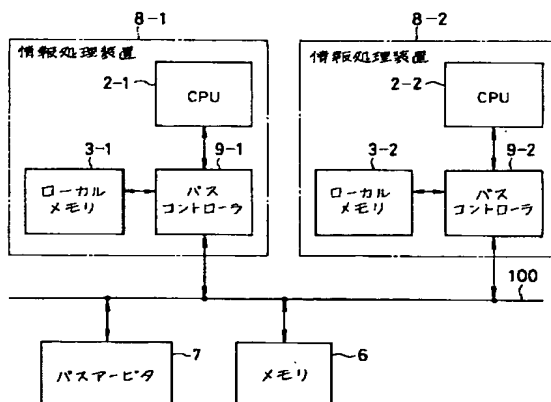
【図1】



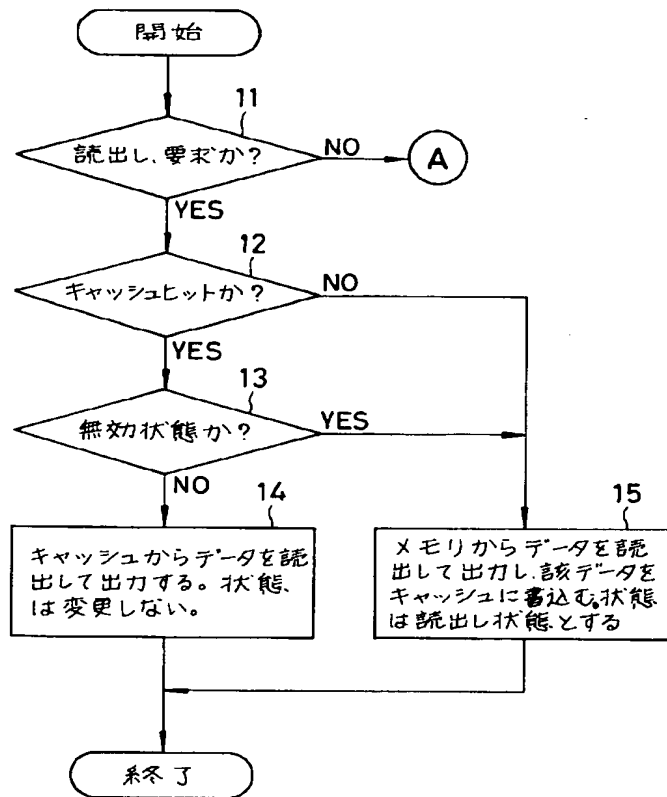
【図2】

状態 要求	読出し状態	書込み状態	無効状態
読出し 要求	読出し状態	書込み状態	読出し状態
書込み 要求	書込み状態 (他装置に状態 変更要求出力)	書込み状態	書込み状態 (他装置に状態 変更要求出力)

【図5】



【図3】



【図4】

